

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-015409

(43)Date of publication of application : 23.01.1986

(51)Int.Cl.

H03H 7/07

(21)Application number : 59-135637

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.06.1984

(72)Inventor : NISHIMURA SEIICHI

(54) TRAP CIRCUIT

(57)Abstract:

PURPOSE: To improve characteristics at the outside of pass band by constituting one side of a bridge Y of a parallel circuit comprising a capacitor and an inductance element.

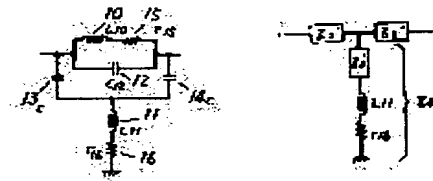
CONSTITUTION: In constituting one side of a bridge T of a trap circuit of a parallel circuit comprising a capacitor 12 and an inductance element 10, since an impedance $Z_a[R]$ and $-jZ_a[I]$ of one side are expressed respectively by equations I, II, then a $Z'3$ is expressed by an equation III by applying $\rightarrow Y$ conversion to the trap circuit and representing it by impedance $Z'1 \sim Z'4$, and $Z'4$ is expressed by an equation IV. Since the impedances $Z_a[R]$ depends largely on a frequency, the value of each element is decided so as to satisfy the maximum attenuation condition $r16=Z_a[R]/4$ of the trap circuit and each constant is decided so as to set the imaginary term to zero with the maximum impedance $Z_a[R]$ and the said condition, then the characteristic of the outside of pass band is improved.

$$Z_a(R) = \frac{L_{10} \omega_{10} - \frac{Z_{12}}{\omega_{12}(\omega_{10} - \frac{1}{\omega_{12}})}}{C_{12} + \left[\frac{L_{10} \omega_{10} - \frac{1}{\omega_{12}}}{\omega_{12}} \right]^2} \quad I$$

$$-jZ_a(I) = \frac{L_{10}(\omega_{10} - \frac{1}{\omega_{12}}) + \frac{r_{12}^2}{\omega_{12}}}{\omega_{12}^2 + \left[\frac{L_{10} \omega_{10} - \frac{1}{\omega_{12}}}{\omega_{12}} \right]^2} \quad II$$

$$Z'3 = \frac{Z_a(R) - jZ_a(I)}{4} = j \frac{1}{\omega_{12} C_{12}} \quad III$$

$$Z'4 = \left[\frac{Z_a(R)}{4} + j \frac{1}{\omega_{12} C_{12}} + j \left[\frac{Z_a(I)}{4} + \left(\omega_{12} L_{10} - \frac{1}{\omega_{12}} \right) \right] \right] \quad IV$$



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭 6 1 - 1 5 4 0 9

(43) 公開日 昭和61年 (1986) 1月23日

(51) Int. Cl. ⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 7/07

審査請求 *

(全 4 頁)

(21) 出願番号 特願昭59-135637

(22) 出願日 昭和59年 (1984) 6月29日

(71) 出願人 999999999

松下電器産業株式会社

*

(72) 発明者 *

*

(54) 【発明の名称】 トラップ回路

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

ブリッジT型の一辺のインピーダンス素子を、コンデンサとインダクタンス素子との並列回路で構成したトラップ回路。

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑩ 公開特許公報(A) 昭61-15409

⑤ Int. Cl.⁴

識別記号

庁内整理番号

③ 公開 昭和61年(1986)1月23日

H 03 H 7/07

7328-5J

審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 トラップ回路

⑥ 特 願 昭59-135637

⑥ 出 願 昭59(1984)6月29日

⑦ 発 明 者 西 村 誠 一 門真市大字門真1006番地 松下電器産業株式会社内
 ⑧ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
 ⑨ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

トラップ回路

2. 特許請求の範囲

ブリッジT型の一辺のインピーダンス素子を、コンデンサとインダクタンス素子との並列回路で構成したトラップ回路。

3. 発明の詳細な説明

産業上の利用分野

本発明はテレビジョン受像機等に使用され、フィルター等の帯域外特性を改善するためのトラップ回路に関するものである。

従来例の構成とその問題点

一般にこの種のトラップ回路においては、第1図に示すようにインピーダンス素子 Z_a 、 Z_b 、 Z_c を△結線し、そしてインピーダンス素子 Z_a とインピーダンス素子 Z_b との接続部を信号入力側とするとともに、インピーダンス素子 Z_a とインピーダンス素子 Z_c との接続部を信号出力側とし、インピーダンス素子 Z_b とインピーダンス素子 Z_c との接続部をインピーダンス素子 Z_d を介して接地した回路構成であった。

また、テレビジョン受像機等に使用されるトラップ回路においては、具体的には第2図に示すように構成されていた。すなわち、インピーダンス素子 Z_a として抵抗1を使用し、インピーダンス素子 Z_b 、 Z_c としてコンデンサ2、3を使用し、そして、インピーダンス素子 Z_d としてインダクタンス素子4を使用した回路構成であった。

ここで、この第2図に示すトラップ回路のインピーダンス素子 Z_a 、 Z_b 、 Z_c に対応する△結線部分をT結線に変換すると、第3図に示すような等価回路で表わすことができる。第3図において、 r はインダクタンス素子4の表皮効果を含めた実効内部抵抗である。また、トラップの減衰量、周波数—レスポンス特性は、出力側の負荷インピーダンスが十分に大きいと考えると、接地されるインピーダンスのみを考慮すればよい。

すなわち、第2図のトラップ回路において、抵抗1をR、コンデンサ2、3をCとすれば、第3

図のインピーダンス素子 Z_3 は次式のようになる。

$$Z_3 = \frac{(-j \frac{1}{\omega C}) \times (-j \frac{1}{\omega C})}{R - j \frac{2}{\omega C}} \quad \dots\dots (1)$$

この(1)式を実数項 $Z_3(0)$ 、虚数項 $Z_3(1)$ に分けると

$$Z_3(0) = - \frac{R}{\omega^2 C^2 R^2 + 4} \quad \dots\dots (2)$$

$$Z_3(1) = -j \frac{\frac{2}{\omega C}}{\omega^2 C^2 R^2 + 4} \quad \dots\dots (3)$$

となる。

また、 Z_3 と L 、 r との総合インピーダンスを Z_4 とすると、

$$Z_4 = Z_3(0) + r + Z_3(1) + j \omega L \quad \dots\dots (4)$$

となる。この Z_4 の虚数項 = 0 の時が共振周波数となり、次式で求められる。

$$f_0 = \frac{1}{2\pi \sqrt{L C}} \quad \dots\dots (5)$$

6図は4のローパスフィルタに従来のトラップ回路を追加した特性例、第5図は不要帯域部分のヘネ返り、第6図は要望特性である。また、第2図に示す通り、抵抗で構成されているため、通過帯域内でも損失があり、これを無視できない場合も多い。

発明の目的

本発明はこのような従来の欠点を除去するもので、部品点数の増加を最小におさえ通過帯域外特性の改善を行なうことを目的とするものである。

発明の構成

この目的を達成するために本発明は、ブリッジT型の一辺のインピーダンス素子を、コンデンサとインダクタンス素子との並列回路で構成したものである。

実施例の説明

以下、本発明について、第6図～第13図の図面を用いて説明する。

第6図に本発明の一実施例によるトラップ回路を示し、第7図にその等価回路を示しており、図

特開昭61-15409(2)

また、 $Z_4(0) + r = 0$ の時に、最大減衰値を得ることができる。

$$r = \frac{R}{\omega^2 C^2 R^2 + 4} \quad \dots\dots (6)$$

ここで、 $\omega^2 C^2 R^2 \ll 4$ となるように各定数となるように各定数を設定すれば、(6)式は

$$r \approx \frac{R}{4} \quad \dots\dots (7)$$

となり、この(7)式より Z_3 は

$$Z_3 = - \frac{R}{4} - j \frac{1}{2 \omega C} \quad \dots\dots (8)$$

とみなすことができ、 Z_4 は、

$$Z_4 = (-\frac{R}{4} + r) + j(\omega L - \frac{1}{2 \omega C}) \quad \dots\dots (9)$$

となる。なお、実数項は $r = \frac{R}{4}$ の条件を満足しているため、周波数に関係なく、0とみなすことができ、 Z_4 を図示すれば第4図のような従来のブリッジT型のトラップ回路の特性となる。この回路での減衰点は、 f_0 一つであり、第5図のように0点の減衰量が不足する場合が多々発生する。第6図はローパスフィルタのみの特性例、第

において、10、11はインダクタンス素子、12、13、14はコンデンサ、15はインダクタンス素子10の表皮効果を含めた実効抵抗、16はインダクタンス素子11の実効抵抗である。

第6図の場合も $\omega^2 C^2 R^2 \ll 4$ が成立するように各定数を選べば、第3図の場合と同様に、近似的に(6)式の R が L_{10} 、 r_{15} 、 C_{12} のインピーダンスに変更されたと考えることができる。第8図に第6図を Δ -T 変換した等価回路を示す。

第7図の L_{10} 、 r_{15} 、 C_{12} のインピーダンスは下式のように示される。

$$Z_4 = \frac{-j \frac{1}{\omega C_{12}} (r_{15} + j \omega L_{10})}{(r_{15} + j \omega L_{10}) - j \frac{1}{\omega C_{12}}}$$

$$= \frac{\frac{L_{10} r_{15}}{C_{12}} - \frac{r_{15}}{\omega C_{12}} (\omega L_{10} - \frac{1}{\omega C_{12}})}{r_{15}^2 + (\omega L_{10} - \frac{1}{\omega C_{12}})^2}$$

$$j \frac{L_{10}}{C_{12}} \left(\omega L_{10} - \frac{1}{\omega C_{12}} \right) + \frac{r_{15}^2}{\omega C_{12}}$$

$$j \frac{L_{10}}{r_{15}^2 + \left(\omega L_{10} - \frac{1}{\omega C_{12}} \right)^2}$$

これより、

$$Z_a(R) = \frac{\frac{L_{10}}{C_{12}} \left(\omega L_{10} - \frac{1}{\omega C_{12}} \right) + \frac{r_{15}^2}{\omega C_{12}}}{r_{15}^2 + \left(\omega L_{10} - \frac{1}{\omega C_{12}} \right)^2} \quad \dots\dots\dots (10)$$

$$-j Z_a(I) = \frac{\frac{L_{10}}{C_{12}} \left(\omega L_{10} - \frac{1}{\omega C_{12}} \right) + \frac{r_{15}^2}{\omega C_{12}}}{r_{15}^2 + \left(\omega L_{10} - \frac{1}{\omega C_{12}} \right)^2} \quad \dots\dots\dots (11)$$

これより、第8図の Z'_5 は、

$$Z'_5 = - \frac{Z_a(R) - j Z_a(I)}{4} - j \frac{1}{2 \omega C} \quad \dots\dots\dots (12)$$

となり、 Z'_4 は、

$$Z'_4 = \left(- \frac{Z_a(R)}{4} + r_{14} \right) + j \left\{ \frac{Z_a(I)}{4} + \left(\omega L_{11} - \frac{1}{2 \omega C} \right) \right\} \quad \dots\dots\dots (13)$$

場合も同様の手順をふめば実現できる。

第13図に特性例を示す。

発明の効果

以上のように本発明によれば、通過帯域外特性を改善することができる。

4. 図面の簡単な説明

第1図は一般のトラップ回路を示す回路図、第2図は従来のトラップ回路を示す回路図、第3図は第2図の回路を $\Delta \rightarrow Y$ 変換した時の回路図、第4図、第5図は同回路の特性図、第6図は本発明の一実施例によるトラップ回路を示す回路図、第7図は同等値回路図、第8図は同回路を $\Delta \rightarrow Y$ 変換した時の回路図、第9図～第11図はそれぞれ同回路の特性図、第12図および第13図はそれぞれ本発明の回路をローパスフィルタと組合せた場合の回路の特性図である。

10……インダクタンス素子、12……コンデンサ。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

特開昭61-15409 (3)

となる。

第9図は(10)式を図示したものである。このように $|Z_a(R)|$ は f により大きく変化するのて、ブリッジT型トラップの最大減衰の条件

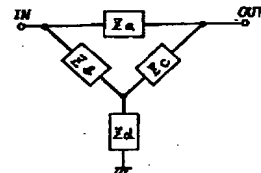
$r_{14} = \frac{Z_a(R)}{4}$ を満足するように f_{01} での値を決定する。

第10図は(13)式の虚数部の各項を図示したものであり、 f_{01} 、 f_{02} で虚数項が0になるため、 f_{01} でブリッジT型のトラップ点、 f_{02} で L_{10} 、 r_{15} 、 C_{12} のトラップ点が構成できる。

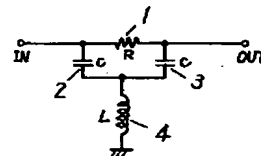
実数部、虚数部共に上記条件を満足するよう各定数を設定すれば、第11図に示すような特性となる。さらに、通過帯域内の $Z_a(R)$ 部のインピーダンスは帯域外のインピーダンスより小さいため、トラップによる通過帯域内の損失は第2図の構成より小さくなる。

第12図に本発明のトラップ回路とローパスフィルタとを組み合わせた特性例を示す。第12図は $f_{01} < f_{02}$ の場合であるが、 $f_{01} > f_{02}$ の

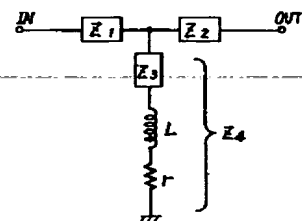
第 1 図



第 2 図

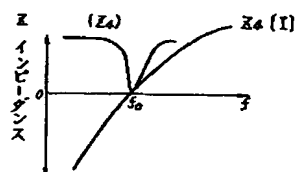


第 3 図

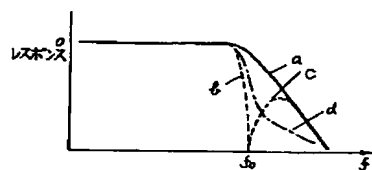


特開昭61-15409(4)

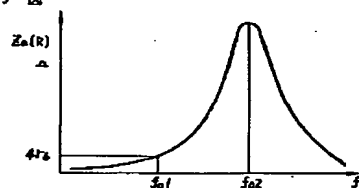
第 4 図



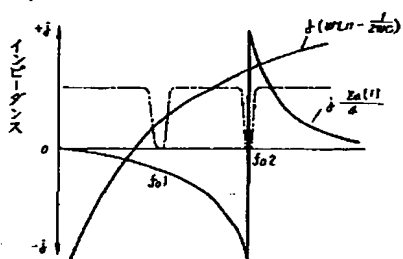
第 5 図



第 9 図



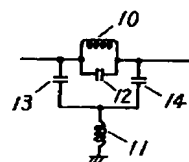
第 10 図



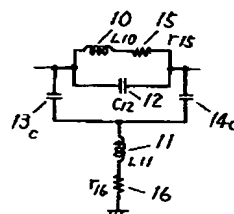
第 11 図



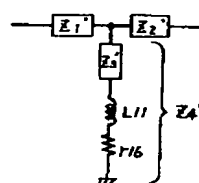
第 6 図



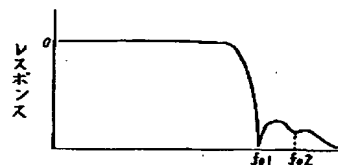
第 7 図



第 8 図



第 12 図



第 13 図

